

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-292059

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

H03L 7/093

H03L 7/087

H03L 7/10

(21)Application number : 2000-102657

(71)Applicant : DENSO CORP

(22)Date of filing : 04.04.2000

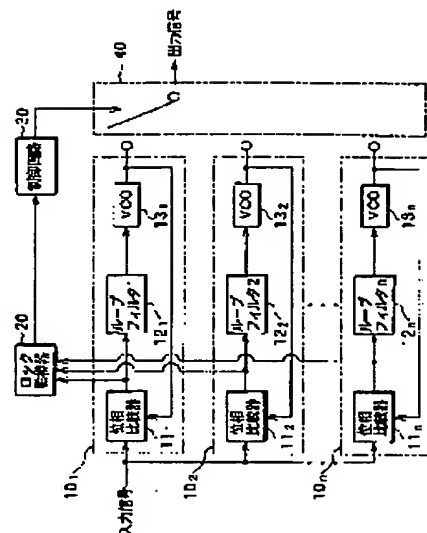
(72)Inventor : EGAWA MASUZO
MATSUGAYA KAZUOKI

(54) PHASE LOCKED LOOP OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase locked loop oscillator that can dynamically revise a cut-off frequency of a loop filter, can easily be mounted and can obtain a desired output.

SOLUTION: This phase locked loop oscillator consists of PLL circuits 101, 102,..., 10n placed in parallel with an input signal, a lock monitor 20 that monitors a lock state of the PLL circuits 101, 102,..., 10n to detect a locked PLL circuit, a control circuit 30 that selects any of the PLL circuits whose locking is detected by means of a signal from the lock monitor 20 and provides an output of a switch selection signal to a switch circuit 40, and the switch circuit 40 that outputs any of output signals from the PLL circuits 101, 102,..., 10n by the switch selection signal from the control circuit 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-292059

(P2001-292059A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) IntCl. ⁷	識別記号	F I	テーマコード (参考)
H 0 3 L	7/093	H 0 3 L	E 5 J 1 0 6
	7/087		P
	7/10	7/10	Z

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願2000-102657(P2000-102657)

(22) 出願日 平成12年4月4日 (2000. 4. 4)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 江川 万寿三

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72) 発明者 松ヶ谷 和伸

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

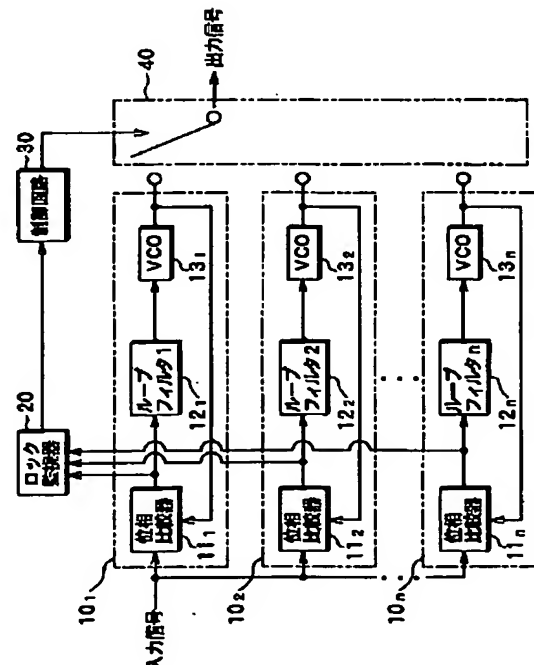
最終頁に続く

(54) 【発明の名称】 位相同期発振装置

(57) 【要約】

【課題】 ループフィルタのカットオフ周波数を動的に変更し、実装が容易で、かつ所望の出力を得ることができる位相同期発振装置を提供する。

【解決手段】 入力信号に対して並列に設けられた複数のPLL回路10₁、10₂、…、10_nと、PLL回路10₁、10₂、…、10_nのロック状態を監視し、ロックしているPLL回路を検出するロック監視器20と、このロック監視器20からの信号によりロック検出されたPLL回路のうちいずれか1つを選択して、スイッチ回路40にスイッチ選択信号を出力する制御回路30と、この制御回路30からのスイッチ選択信号によってPLL回路10₁、10₂、…、10_nの出力信号のうち1つを出力するスイッチ回路40と、を有して構成されている。



【特許請求の範囲】

【請求項1】 入力信号に対して並列に設けられ、カットオフ周波数がそれぞれ異なるループフィルタを有する複数のPLL回路(10₁、10₂、…、10_n)と、前記複数のPLL回路のうちロックしているPLL回路を検出するロック検出手段(20)と、前記ロック検出手段によって検出されたPLL回路のうちいずれか1つを選択してその出力信号を出力させる回路手段(30、40)とを有することを特徴とする位相同期発振装置。

【請求項2】 前記回路手段は、ロック検出されたPLL回路のうちカットオフ周波数が最も高いループフィルタを有するPLL回路を選択することを特徴とする請求項1に記載の位相同期発振装置。

【請求項3】 前記回路手段は、ロック検出されたPLL回路のうちカットオフ周波数が最も低いループフィルタを有するPLL回路を選択することを特徴とする請求項1に記載の位相同期発振装置。

【請求項4】 前記複数のPLL回路の出力信号に基づいてそれぞれのPLL回路の評価値を求める評価手段(50)を有し、

前記回路手段は、ロック検出されたPLL回路のうち前記評価手段の評価値が最も高いPLL回路を選択することを特徴とする請求項1に記載の位相同期発振装置。

【請求項5】 前記評価手段は、前記PLL回路の出力信号に含まれる位相雑音とスプリアスから前記評価値を求めることを特徴とする請求項4に記載の位相同期発振装置。

【請求項6】 前記回路手段は、前記選択されたPLL回路以外のPLL回路のループフィルタのカットオフ周波数を、そのPLL回路の評価値に基づいて変化させることを特徴とする請求項4または5に記載の位相同期発振装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、入力信号に位相同期した発振信号を出力する位相同期発振装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 従来、位相同期発振装置として、PLL(Phase Locked Loop)回路を用いた構成のものがある。PLL回路は、位相比較器と、ループフィルタと、電圧制御発振器(VCO)から構成されている。このPLL回路では、入力信号とVCOから出力される発振信号の位相が位相比較器で比較され、その比較結果に応じた電圧が、所定のカットオフ周波数を有するループフィルタを介してVCOに出力され、その電圧に応じた発振信号がVCOから位相比較器に出力されるフィードバックループを有しており、VCOから入力信号に位相同期した発振信号が出力される。

【0003】 このようなPLL回路は、例えば搬送波再生回路に利用されている。また、PLL回路を用いた搬送波再生回路を利用した位相同期復調回路として多相PSK復調装置がある。

【0004】 移動体通信などに利用される周波数変動の大きい信号は、PLL回路を用いた搬送波再生回路のPLL同期範囲を外れることがあり、正常な復調ができなくなることがある。また、PLLの同期範囲を広く設計すると、耐ノイズ性能が劣化してしまう。

【0005】 特開平5-56094号公報には、耐ノイズ性能を維持したままPLL回路の同期範囲を広くできるようにするため、同期範囲の広いPLL回路のループフィルタの出力を分岐し、分岐した一方でPLLループを構成し、もう一方の出力はローパスフィルタでノイズ成分を低減した後、VCOへ入力して発振出力を得、その発振出力と入力信号を遅延させた信号を乗算器で乗算して、出力信号を得るようにしたものが記載されている。

【0006】 しかしながら、この公報に記載のものである、ローパスフィルタを経由した信号がPLLループ外の経路を通るため、PLLループを外れてから入力信号と乗算されるまでの信号の遅延時間を高精度で測定し、その遅延時間で入力信号を遅延させなければならず、その実装が極めて困難である。また、ループフィルタのカットオフ周波数が固定されているため、例えば入力信号のノイズが弱い場合に、PLL回路の位相雑音抑制能力を十分に利用できないといった問題がある。

【0007】 本発明は上記問題に鑑みたもので、ループフィルタのカットオフ周波数を動的に変更し、実装が容易で、かつ所望の出力を得ることができる位相同期発振装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の発明では、入力信号に対して並列に設けられ、カットオフ周波数がそれぞれ異なるループフィルタを有する複数のPLL回路(10₁、10₂、…、10_n)と、複数のPLL回路のうちロックしているPLL回路を検出するロック検出手段(20)と、ロック検出手段によって検出されたPLL回路のうちいずれか1つを選択してその出力信号を出力させる回路手段(30、40)とを有することを特徴としている。

【0009】 この発明によれば、カットオフ周波数がそれぞれ異なるループフィルタを有する複数のPLL回路のうちの1つを選択するようにしているから、ループフィルタのカットオフ周波数を動的に変更し、実装が容易で、かつ所望の出力を得ることができる。

【0010】 この場合、請求項2に記載の発明のように、ロック検出されたPLL回路のうちカットオフ周波数が最も高いループフィルタを有するPLL回路を選択するようにすれば、入力信号の広い周波数範囲に追従で

き、定常位相誤差を低くすることができる。また、請求項3に記載の発明のように、ロック検出されたPLL回路のうちカットオフ周波数が最も低いループフィルタを有するPLL回路を選択するようにすれば、入力雑音の影響を小さくし、出力信号のスプリアスのレベルを低くすることができる。

【0011】また、請求項4に記載の発明のように、複数のPLL回路の出力信号に基づいてそれぞれのPLL回路の評価値を求める評価手段(50)を有し、ロック検出されたPLL回路のうち評価手段の評価値が最も高いPLL回路を選択するようにすることもできる。このようにすれば、所望の出力信号を得るのに最も適した発振を行っているPLL回路を選択することができる。この場合、評価値は、請求項5に記載の発明のように、PLL回路の出力信号に含まれる位相雑音とスプリアスから求めることができる。また、請求項6に記載の発明のように、選択されたPLL回路以外のPLL回路のループフィルタのカットオフ周波数を、そのPLL回路の評価値に基づいて変化させれば、ループフィルタのカットオフ周波数を最適化することができる。

【0012】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0013】

【発明の実施の形態】(第1実施形態) 図1に、本発明の第1実施形態に係る位相同期発振装置の構成を示す。

【0014】この位相同期発振装置は、入力信号に対して並列に設けられた複数のPLL回路10_i、10_j、…、10_nと、PLL回路10_i、10_j、…、10_nのロック状態を監視し、ロックしているPLL回路を検出するロック監視器20と、このロック監視器20からの信号によりロック検出されたPLL回路のうちいずれか1つを選択して、スイッチ回路40にスイッチ選択信号を出力する制御回路30と、この制御回路30からのスイッチ選択信号によってPLL回路10_i、10_j、…、10_nの出力信号のうちの1つを出力するスイッチ回路40と、を有して構成されている。

【0015】PLL回路10_i、10_j、…、10_nは、位相比較器11_i、11_j、…、11_nと、ループフィルタ12_i、12_j、…、12_nと、VCO13_i、13_j、…、13_nとから、それぞれ構成されている。ここで、ループフィルタ12_i、12_j、…、12_nは、それぞれカットオフ周波数が異なったものとなっている。

【0016】上記した構成において、PLL回路10_i、10_j、…、10_nは、入力信号に対して位相同期した発振信号を、VCO13_i、13_j、…、13_nからそれぞれ出力するように動作する。ロック監視器20は、PLL回路10_i、10_j、…、10_nにおける位相比較器11_i、11_j、…、11_nの出力信号に基づいて、ロックしているPLL回路を検出する。具体的に

は、位相比較器からの出力信号が所定の閾値以下であれば、そのPLLがロックしているとする。

【0017】制御回路30は、ロック監視器20からの信号によりロック検出されたPLL回路のうちいずれか1つを選択する。例えば、ロック検出されたPLL回路のうち、カットオフ周波数が最も高いループフィルタを有するPLL回路を選択するようにする。このようにすれば、入力信号の広い周波数範囲に追従でき、定常位相誤差を低くすることができるため、移動体通信などの搬送波再生回路として用いることができる。この場合、特開平5-56094号公報に記載されたものと同じく、図1に示す位相同期発振装置の入力側を準同期検波回路に接続し、後段側を狭帯域復調器に接続するようにすればよい。

【0018】また、ロック検出されたPLL回路のうち、カットオフ周波数が最も低いループフィルタを有するPLL回路を選択するようにすることもできる。このようにすれば、入力雑音の影響を小さくし、出力信号のスプリアスのレベルを低くすることができるため、シンセサイザやオシロスコープなどの計測器用として用いることができる。

【0019】このように、この実施形態のものによれば、カットオフ周波数がそれぞれ異なるループフィルタを有する複数のPLL回路のうちの1つを選択するようにしているから、ループフィルタのカットオフ周波数を動的に変更し、実装が容易で、かつ所望の出力を得ることができる。具体的には、入力信号の広い周波数範囲にわたってPLLロックをかけることができ、位相誤差が少ない出力を得るようにすることができる。また、入力信号のノイズが弱い場合に、スプリアスの少ないPLL出力を得るようにすることもできる。

(第2実施形態) 図2に、本発明の第2実施形態に係る位相同期発振装置の構成を示す。

【0020】この第2実施形態では、ループフィルタ12_i、12_j、…、12_nがデジタル構成のものとなっており、その前段にA/D変換器14_i、14_j、…、14_nが設けられ、後段にD/A変換器15_i、15_j、…、15_nが設けられた構成となっている。

【0021】また、この実施形態では、PLL回路10_i、10_j、…、10_nの評価を行う評価装置50が設けられている。この評価装置50は、VCO13_i、13_j、…、13_nの出力信号(すなわち、PLL回路10_i、10_j、…、10_nの出力信号)に基づいてPLL回路10_i、10_j、…、10_nの評価値をそれぞれ求める。具体的には、評価装置50は、PLL回路10_i、10_j、…、10_nの出力信号を、それぞれ、A/D変換器でデジタル信号に変換し、FFT処理を行ってスペクトラムを検出し、PLL回路の出力信号に含まれる位相雑音とスプリアスを得、その位相雑音とスプリアスからそれぞれのPLL回路の評価値を求める。

【0022】制御回路30は、ロック監視器20からの信号と評価装置50からの信号に基づき、ロック検出されたPLL回路の中で最も評価値の高いPLL回路を選択し、そのPLL回路から出力信号を出力させるようスイッチ回路40にスイッチ選択信号を出力する。

【0023】このようにすれば、所望の出力信号を得るのに最も適した発振を行っているPLL回路を選択することができる。

【0024】また、この実施形態では、制御回路30は、ループフィルタ12₁、12₂、…、12_nのカットオフ周波数を最適化する処理を行っている。図3、図4にその処理を示す。図3は、選択されたPLL回路のループフィルタのカットオフ周波数よりも高いカットオフ周波数のループフィルタを有するPLLについて、そのカットオフ周波数を最適化する処理を示し、図4は、選択されたPLL回路のループフィルタのカットオフ周波数よりも低いカットオフ周波数のループフィルタを有するPLLについて、そのカットオフ周波数を最適化する処理を示す。

【0025】まず、図3に示す処理について説明する。スイッチ回路40で選択されているPLL回路（PLL_iとする）のループフィルタのカットオフ周波数 f_{ci} とする。そして、この f_{ci} よりも大きなカットオフ周波数を持ち、かつロックしているPLL回路が存在するか否かを判定する（ステップ101）。そのようなPLL回路が存在する場合、 f_{ci} に最も近いカットオフ周波数 f_{cj} を持つPLL回路をPLL_jとする。

【0026】次に、評価装置50からの信号により得られるPLL_jの評価値を x_2 とし（ステップ102）、カットオフ周波数 f_{cj} を所定値 $\Delta\alpha$ （定数）だけ低くさせる（ステップ103）。この場合、制御回路30は、PLL_jのループフィルタにカットオフ周波数を新たなカットオフ周波数 f_{cj} （ $=f_{cj}-\Delta\alpha$ ）にする指令を出力する。そして、評価装置50からの信号により得られるPLL_jの新たな評価値を y_2 とする（ステップ104）。

【0027】次に、PLL_jのループフィルタのカットオフ周波数 f_{cj} が、PLL_iのループフィルタのカットオフ周波数 f_{ci} より低くなったか否かを判定する（ステップ105）。 f_{cj} が f_{ci} 以上であるときは、その判定がNOになり、次に、新たな評価値 y_2 が先の評価値 x_2 より高いか否かを判定する（ステップ106）。 y_2 が x_2 より高いときは、その判定がYESになり、まだ最適化が可能であるとしてステップ102に戻り、上記した処理を行う。

【0028】そして、 f_{cj} が f_{ci} より低くなる（ステップ105の判定がYESになる）か、 y_2 が x_2 以下になる（ステップ106の判定がNOになる）と、最適ではなくなったとして、カットオフ周波数 f_{cj} を1つ前の状態、すなわち $f_{cj}+\Delta\alpha$ にする。

【0029】次に、図4に示す処理を実行する。まず、PLL_iのループフィルタのカットオフ周波数 f_{ci} よりも小さなカットオフ周波数を持ち、かつロックしているPLL回路が存在するか否かを判定する（ステップ108）。そのようなPLL回路が存在する場合、 f_{ci} に最も近いカットオフ周波数 f_{cj} を持つPLL回路をPLL_jとする。

【0030】次に、評価装置50からの信号により得られるPLL_jの評価値を x_3 とし（ステップ109）、カットオフ周波数 f_{cj} を所定値 $\Delta\alpha$ （定数）だけ高くさせる（ステップ110）。この場合、制御回路30は、PLL_jのループフィルタにカットオフ周波数を新たなカットオフ周波数 f_{cj} （ $=f_{cj}+\Delta\alpha$ ）にする指令を出力する。そして、評価装置50からの信号により得られるPLL_jの新たな評価値を y_3 とする（ステップ111）。

【0031】次に、PLL_jのループフィルタのカットオフ周波数 f_{cj} が、PLL_iのループフィルタのカットオフ周波数 f_{ci} より高くなったか否かを判定する（ステップ112）。 f_{cj} が f_{ci} 以下であるときは、その判定がNOになり、次に、新たな評価値 y_3 が先の評価値 x_3 より高いか否かを判定する（ステップ113）。 y_3 が x_3 より高いときは、その判定がYESになり、まだ最適化が可能であるとしてステップ109に戻り、上記した処理を行う。

【0032】そして、 f_{cj} が f_{ci} より高くなる（ステップ112の判定がYESになる）か、 y_3 が x_3 以下になる（ステップ113の判定がNOになる）と、最適ではなくなったとして、カットオフ周波数 f_{cj} を1つ前の状態、すなわち $f_{cj}-\Delta\alpha$ にする。

【0033】上記した処理を実行することにより、選択されたPLL回路以外のPLL回路のループフィルタのカットオフ周波数を、そのPLL回路の評価値に基づいて変化させ、最適化することができる。

【0034】なお、上記した第1、第2実施形態において、一定期間まってもロックしないPLL回路があれば、そのPLL回路の動作を停止させるようにしてもよい。

【0035】また、上記したロック監視器50、制御回路30、評価装置50は、それぞれ個別に構成されるものに限らず、1つの装置としてソフトウェアでそれぞれの機能を実現する手段として構成されていてもよい。また、スイッチ回路40としては、例えば半導体スイッチを用いて構成することができるが、複数のPLL回路10₁、10₂、…、10_nの出力信号を選択できるものであれば他の構成のものであってもよい。また、図3、図4に示す各ステップでの処理は、それぞれの機能を実現する手段を把握することができ、ソフトウェアで実現する他、ハードウェアで実現するようにしてもよい。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る位相同期発振装置の構成を示す図である。

【図2】 本発明の第2実施形態に係る位相同期発振装置の構成を示す図である。

【図3】 図2中の制御回路が実行する、ループフィルタのカットオフ周波数を最適化する処理を示すフローチャートである。

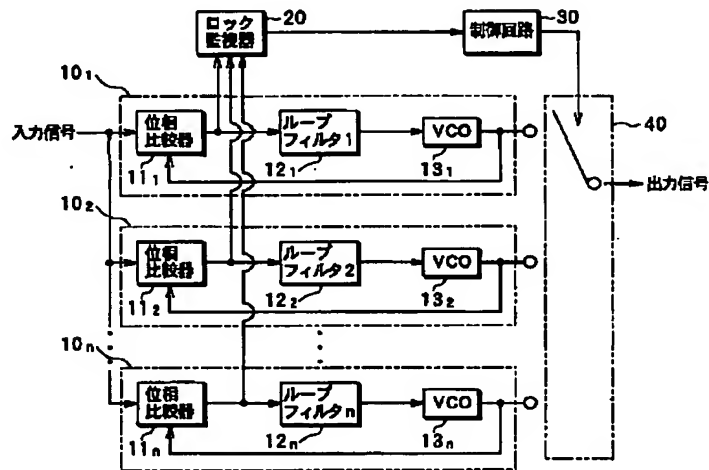
【図4】 図3処理に続く処理を示すフローチャートである。

る。

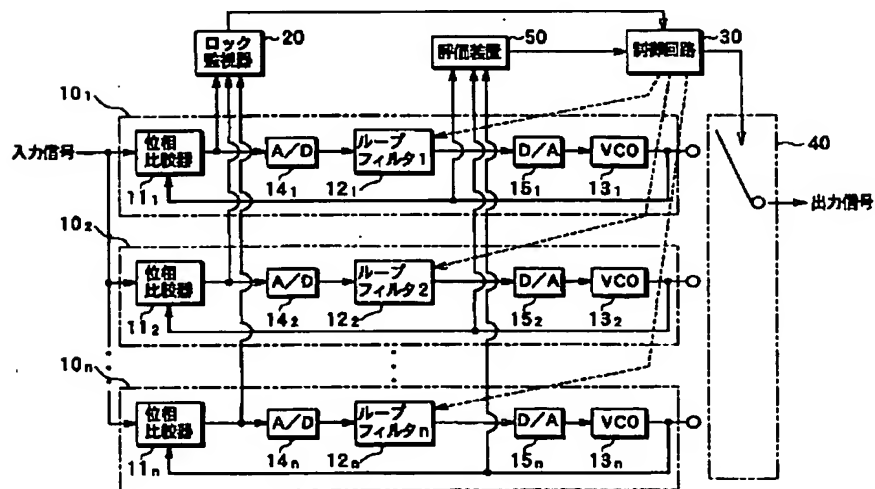
【符号の説明】

10₁、10₂、10_n…PLL回路、11₁、11₂、11_n…位相比較器、12₁、12₂、12_n…ループフィルタ、13₁、13₂、13_n…VCO、14₁、14₂、14_n…A/D変換器、15₁、15₂、15_n…D/A変換器、20…ロック監視器、30…制御回路、40…スイッチ回路、50…評価装置。

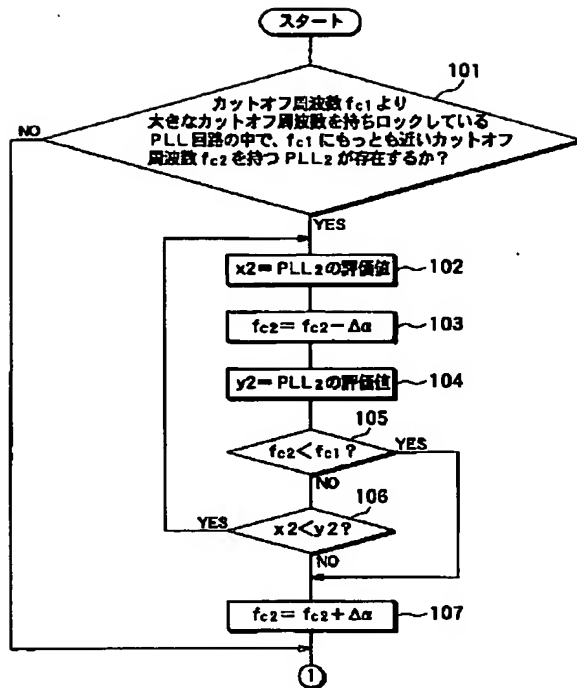
【図1】



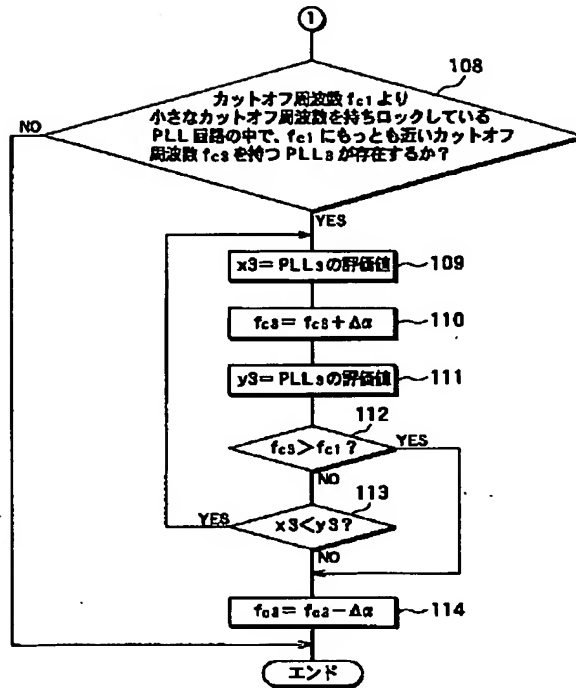
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5J106 AA04 BB01 BB05 CC20 CC30
CC38 CC42 DD09 EE10 FF09
GG07 GG19 HH10 KK03 KK05
KK08 KK26